

PAT-NO: JP409205148A

DOCUMENT-IDENTIFIER: JP 09205148 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE

PUBN-DATE: August 5, 1997

INVENTOR-INFORMATION:

NAME

WAKABAYASHI, SHIGEMICHI

MIYAMOTO, SHOICHI

YASHIRO, HIROFUMI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP08010181

APPL-DATE: January 24, 1996

INT-CL (IPC): H01L021/82, H01L027/04 , H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent unauthorized duplication of a circuit through the observation of the circuit pattern from above by a third person, by varying the operation of logic cells of the same layout pattern through impurity implantation, and using a plurality of the logic cells having different functions.

SOLUTION: In order to prevent illegal use by a third person, the semiconductor integrated circuit device is formed as

follows: A plurality of transistor elements are formed on a semiconductor substrate. These transistor elements consists of previously formed transistor elements 6, 7 having a specified threshold voltage, and transistor elements 5, 8 the threshold voltage of which is made different from the abovementioned threshold voltage by implanting conductive impurities between the source and drain of the transistor elements 6, 7. Cells of the same shape, different in function, are obtained by varying threshold voltage, as mentioned above.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205148

(43)公開日 平成9年(1997)8月5日

(51)IntCl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	D
27/04			27/04	A
21/822				H

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平8-10181

(22)出願日 平成8年(1996)1月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 若林 茂道

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 宮本 省一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 矢代 廣文

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

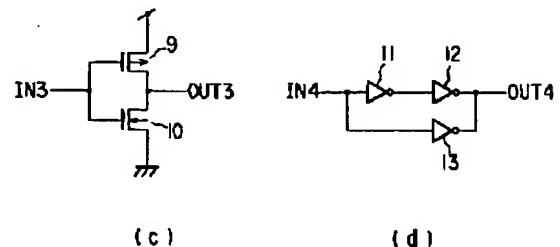
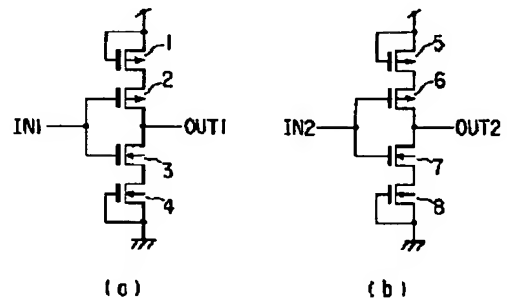
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】不純物注入により、同一形状のレイアウトパターンからなる論理セルの動作を異ならせ、この機能の異なる論理セルを複数使用し、回路パターン上部からの観察による第三者からの不正な回路コピーを防止する。

【解決手段】この半導体集積回路装置は、半導体基板上に少なくとも複数のトランジスタ素子を形成し、上記複数のトランジスタ素子を、予め形成された所定のしきい値電圧を有するトランジスタ素子6、7と、そのドレイン・ソース間に導電性不純物を注入して上記所定のしきい値電圧を変化させたトランジスタ素子5、8とで構成し、当該しきい値電圧に差をつけることにより、同一形状のセルでありながら機能の異なったセルを形成し、第三者の盗用を防止するものである。



## 【特許請求の範囲】

【請求項1】 半導体基板上に少なくとも複数のトランジスタ素子を形成した半導体集積回路装置において、上記複数のトランジスタ素子を、所定のしきい値電圧を有するトランジスタ素子と、そのドレイン・ソース間に導電性不純物を注入して上記所定のしきい値電圧を変化させたトランジスタ素子とで構成し、当該しきい値電圧に差をつけることにより、同一形状のセルでありながら機能の異なったセルを形成し、第三者の盗用を防止することを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば大規模集積回路(LSI:Large Scale Integrated Circuit)の不正なコピーを防止する対策を施した装置に係り、特にLSIの回路の配線パターンを観察等による第三者による不正なコピーを防止することを特徴とする半導体集積回路装置に関する。

## 【0002】

【従来の技術】従来、半導体集積回路装置においては、第三者による回路パターンの不正コピーが問題となっており、この不正コピーを防止するための具体的な解決策が囑望され、その為の種々の技術が開発されている。

【0003】例えば、正当な利用者であるか否かを識別する識別論理回路を設け、該識別論理回路により正当な利用者でないと判断された場合には、システム全体を動作不能状態にする技術や、本来のシステムを正常動作させるのに不必要な冗長論理回路を設けて、正常な回路状態とは異なるシステムとなるようにして、不正コピーを防止する技術が提案されている。

【0004】さらに、LSI回路を不透明な膜で覆うことにより、配線パターンの観察による第三者の不正コピーを防止することも行われている。この他、例えばマスクROM(Read Only Memory)では、メモリセル・アレイの内容、即ち記憶内容を製造段階で決めて作られたLSIメモリ、具体的にはメモリセルとしてMOS(Metal Oxide Semiconductor)トランジスタが有るか無いかで“1”、“0”が決定される。この場合、MOSTランジスタをメモリセルアレイ全体に作成しておき、最後の配線工程でビット線に接続するか否かを各メモリセルについて決めている。従って、配線工程用のマスクのパターンにより記憶内容が決まる。かかるマスクROMにおいて、第三者の不正コピーを防止すべく、MOSTランジスタの一部にエンハンスメント型トランジスタに代えてディプレッション型トランジスタを混在させることは既に公知の技術である。

## 【0005】

【発明が解決しようとする課題】しかしながら、正当な利用者であるか否かを識別する識別論理回路を有し、上記識別論理回路による識別の結果により正常又は非正常

な動作を行うシステムに係る従来技術では、上記識別論理回路あるいは識別コードのみを解析するだけで、比較的容易に回路のレイアウトパターンがコピーされししまう。

【0006】さらに、LSIの回路パターンを不透明な膜で覆うことにより、第三者の不正コピーを防止する従来技術では、不透明な膜のみ除去すれば、容易に回路パターンのコピーを行うことができる。

【0007】また、LSIの回路情報について、不透明な膜で覆ったり、識別論理回路を設け、その識別結果により正常或いは非正常なシステムとなる技術では、共に解析箇所が限定され、不正なコピーを試みようとする第三者は比較的容易に配線パターンをコピーすることが可能であった。

【0008】本発明は、上記問題に鑑みてなされたもので、その目的とするところは、複数のトランジスタ素子の中にドレイン・ソース間に導電性不純物を注入してしきい値電圧を変化させたトランジスタ素子を混在させ、同一形状のセルでありながら機能の異なったセルを形成し、第三者の盗用を防止することにある。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体集積回路装置では、半導体基板上に少なくとも複数のトランジスタ素子を形成した半導体集積回路装置において、上記複数のトランジスタ素子を、所定のしきい値電圧を有するトランジスタ素子と、そのドレイン・ソース間に導電性不純物を注入して上記所定のしきい値電圧を変化させたトランジスタ素子とで構成し、当該しきい値電圧に差をつけることにより、同一形状のセルでありながら機能の異なったセルを形成し、第三者の盗用を防止することを特徴とする。

【0010】即ち、複数のトランジスタ素子が、所定のしきい値電圧を有するトランジスタ素子と、そのドレイン・ソース間に導電性不純物を注入して上記所定のしきい値電圧を変化させたトランジスタ素子とで構成され、当該しきい値電圧に差がつけられ、同一形状のセルでありながら機能の異なったセルが形成され、既存のセルを本来とは異なった動作がなされる。これにより、第三者のチップ上部からの観察による不正な回路パターンのコピーが防止されることになる。

## 【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施例について説明する。一般に、論理集積回路(ロジックIC)をPチャネルトランジスタ、Nチャネルトランジスタなどを用いて構成する場合には、エンハンスメント型が主として用いられているが、当該エンハンスメント型のトランジスタのソース・ドレイン間に不純物を注入してチャネルを形成するだけで、ディプレッション型のトランジスタとすることが可能である。

【0012】ここで、図2は上記エンハンスメント型及

びディプレッション型のPチャネルトランジスタとNチャネルトランジスタの特性を示す図である。同図に示されるように、エンハンスメント型のPチャネルトランジスタ、Nチャネルトランジスタは、トランジスタがONするしきい値電圧 $V_{th}$ の絶対値が0よりも大きい。即ち、電流 $I_{DS}$ は電圧 $V_{GS}$ が所定の値以上になったときに流れ始める。これに対して、ディプレッション型のPチャネルトランジスタ、Nチャネルトランジスタでは、ゲート・ソース間の電圧 $V_{GS}$ が“0”でもトランジスタはON状態となり、トランジスタのソース、ソレイン間に電流 $I_{DS}$ が流れる。即ち、例えばディプレッション型のNチャネルトランジスタでは、ゲートに負の電圧を印加すると、ゲートの下に形成されたチャンネル内に正電荷が集り、N型のチャンネル幅が狭くなり、電流 $I_{ds}$ が変化を受ける。

【0013】本発明は、このような特性に着目して、トランジスタのゲート・ソース間の電圧 $V_{GS}$ が“0”では常にOFFの状態となるエンハンスメント型のPチャネルトランジスタ、Nチャネルトランジスタを複数構成し、更に、当該エンハンスメント型トランジスタのチャンネル部分に不純物を注入することで、上記電圧 $V_{GS}$ が“0”でもONするディプレッション型のPチャネルトランジスタ、Nチャネルトランジスタに切り替えて両者を混在させている。

【0014】このエンハンスメント型及びディプレッション型のトランジスタは、第三者がチップ上部から観察するだけでは、どちらのタイプのトランジスタなのかを判別することができない。従って、この切り替えを行うか行わないかによって既存の論理セルを本来の動作とは異なった動作をさせることができ、チップ上部からの第三者の観察による不正な回路パターンのコピーを防止することができる。以上が本発明の概略である。

【0015】次に図1には第1の実施例に係る半導体集積回路装置の構成を示し説明する。図1(a)に示されるセルでは、Pチャネルトランジスタ1のソースは基準電源に接続されており、ドレインはPチャネルトランジスタ2のソースに接続されている。このPチャネルトランジスタ2のドレインはNチャネルトランジスタ3のドレインに接続されており、ソースはNチャネルトランジスタ4のドレインに接続されている。このNチャネルトランジスタ4のソースは接地されている。入力端子IN1はPチャネルトランジスタ2とNチャネルトランジスタ3のゲートに接続されており、上記Pチャネルトランジスタ2のドレインとNチャネルトランジスタ3のドレインの接続端は出力端子OUT1に接続されている。尚、Pチャネルトランジスタ1、2、Nチャネルトランジスタ3、4は全てエンハンスメント型のトランジスタで構成されている。

【0016】このような構成においては、上記エンハンスメント型トランジスタ1、4は上記電圧 $V_{GS}$ が“0”である為、トランジスタのソース・ドレイン間に電流は

流れず、入力端子IN1からLowレベルの信号が入力された場合、出力端子OUT1の信号はHi-Z（フローティング）となる。さらに、入力端子IN1からHighレベルの信号が入力された場合も、出力端子OUT1からの出力信号はHi-Zとなる。

【0017】一方、図1(b)に示されるセルでは、Pチャネルトランジスタ5のソースは基準電源に接続されており、ドレインはPチャネルトランジスタ6のソースに接続されている。このPチャネルトランジスタ6のドレインはNチャネルトランジスタ7のドレインに接続されており、ソースはNチャネルトランジスタ8のドレインに接続されている。このNチャネルトランジスタ8のソースは接地されている。入力端子IN2はPチャネルトランジスタ6とNチャネルトランジスタ7のゲートに接続されており、上記Pチャネルトランジスタ6のドレインとNチャネルトランジスタ7のドレインの接続端は出力端子OUT2に接続されている。

【0018】尚、Pチャネルトランジスタ5、Nチャネルトランジスタ8をそれぞれディプレッション型トランジスタにて構成し、Pチャネルトランジスタ6、Nチャネルトランジスタ7をエンハンスメント型で構成している。即ち、図1(a)のエンハンスメント型のトランジスタ1、4のチャンネル部分にディプレッション型となる不純物を注入し、トランジスタ1、4のみを任意にディプレッション型に変更させたトランジスタ5、8としている。このような構成においては、上記ディプレッション型のトランジスタ5、8は上記電圧 $V_{GS}$ が“0”であってもソース・ドレイン間には電流が流れ、インバータセルとして機能する。

【0019】ここで、図1(d)は、このようなエンハンスメント型とディプレッション型の特性の相違を利用して構成した回路図である。先ず、インバータセル11を図1(c)のセルにて構成し、インバータセル12を図1(a)に示す構成のエンハンスメント型のセルにて構成し、インバータセル13を図1(b)に示す構成のディプレッション型のセルにて構成した場合について考察する。入力端子IN4からLowレベルの信号を入力した場合、インバータセル11の出力はHighレベルとなり、インバータセル12の出力はHi-Zとなり、インバータセル12は通常のインバータセルと同様な動作をしてその出力はHighレベルとなり、結果として出力端子OUT4からの信号はHighレベルとなる。また、入力端子IN4からHighレベルの電圧を入力した場合、前記同様、インバータセル12の出力はHi-Zとなり、インバータセル13の出力はLowレベルとなり、結果として出力端子OUT4からの信号はLowレベルとなる。従って、この場合、図2の回路は等価的に一般的なインバータセルの機能を発揮することになる。尚、入力端子IN4からの信号に対する出力端子OUT4の信号の状態は図3に示される通りである。

【0020】これに対して、図1(d)のインバータセル11を図1(c)のセルにて構成し、インバータセル12を図1(b)のディプレッション型のセルにて構成し、インバータセル13を図1(a)のエンハンスメント型のセルにて構成した場合について考察する。入力端子IN4からLowレベルの信号を入力した場合、インバータセル11の出力はHighレベルとなり、インバータセル12の出力はLowレベルとなり、インバータセル13の出力はHi-Zとなり、結果として出力端子OUT4からの信号はLowレベルとなる。また、入力端子IN4からHighレベルの信号を入力した場合、前記同様、インバータセル12出力はHighレベルとなり、インバータセル13の出力はHi-Zとなり、結果として出力端子OUT4からの信号はHighレベルとなる。従って、この場合には、図1(d)の組み合わせ回路は等価的に一般的なインバータセル2段分に相当することになる。尚、入力端子IN4からの信号に対する出力端子OUT4の信号の状態は図3に示される通りである。

【0021】以上説明したように、第1の実施例では、上記原理を利用して、本来インバータ（非インバータ）として動作するセルの代わりに前記組み合わせ回路を使用すれば、不正な回路パターンのコピーを試みようとする第三者には、本来の動作が反転すべきなのか、正転すべきなのかの判断が、システムの解析を困難にすることが可能である。尚、同原理を利用すれば、例えばNANDやANDゲート、NORやORゲートなどにも応用が可能であることは勿論である。

【0022】次に図4には第2の実施例に係る半導体集積回路装置として、上記原理を利用したNANDゲートの一般的な回路例を示し説明する。同図に於いて、符号14、15はPチャネル型トランジスタ、符号16、17はNチャネル型のトランジスタである。符号15、16のトランジスタをエンハンスメント型のトランジスタで、トランジスタ17をVGSが“0”より大きいときに常にONとなるディプレッション型トランジスタで構成し、Pチャネルトランジスタ14をチャネルに注入する不純物の量により、しきい値電圧の絶対値を高くした、常にOFFとなるトランジスタで構成すれば、入力端子IN6からHighレベル、Lowレベルの信号が入力されても、出力端子OUT5の出力信号は何ら影響されず、入力端子IN5の入力信号の反転波形が出力されることになる。

【0023】以上説明したように、第2の実施例に係る

半導体集積回路装置であるNANDゲートを使用すれば、上部からの観察だけでは、入力端子IN6の入力波形が装置に影響しているものと判断され、第三者によるシステムの解析を困難とすることが可能である。

【0024】以上詳述したように、本発明の半導体集積回路装置では、半導体基板上にトランジスタ素子を形成した後、しきい値電圧を変える為の不純物注入にて複数のトランジスタを形成し、同トランジスタを組み合わせで論理を異ならせることが可能なセルを作成することで、上部からの観察だけでは回路機能が判らず、不正にコピーできなくなる効果が得られる。

【0025】さらに、第三者による不正コピーを防止する事により、正当なチップ開発者の利益を長期間守ることができ、仮に第三者が回路解析を実施する場合でも、特殊技術と多大な時間を必要とすることになる。

【0026】また、レイアウトパターンとしては同一であり、現レイアウトデータを加工して、不純物選択用マスク及び工程を追加するのみで対応可能となり、設計期間や開発コストを最小限に抑えることができる。

【0027】

【発明の効果】本発明によれば、複数のトランジスタ素子の中にドレイン・ソース間に導電性不純物を注入してしきい値電圧を変化させたトランジスタ素子を混在させ、同一形状のセルでありながら機能の異なったセルを形成し、第三者の盗用を防止することができる半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体集積回路装置の構成を示す図である。

【図2】エンハンスメント型トランジスタとディプレッション型トランジスタの特性の相違を示す図である。

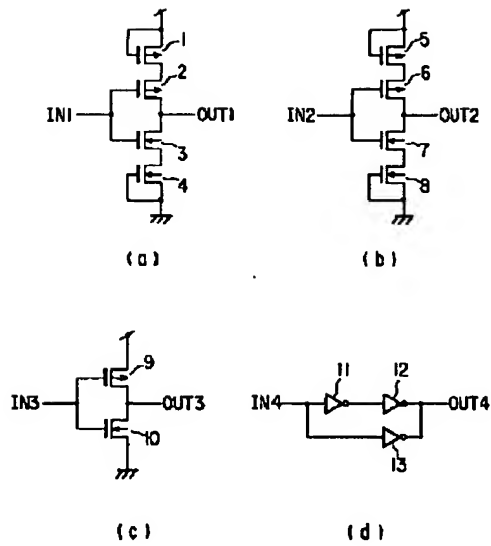
【図3】第1の実施例の入力・出力信号の様子を示すタイミングチャートである。

【図4】第2の実施例に係る半導体集積回路装置の構成を示す図である。

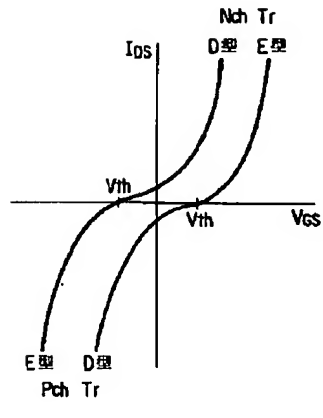
【符号の説明】

- 1, 2, 6, 9, 15 エンハンスメント型のPチャネルトランジスタ
- 3, 4, 7, 10, 16 エンハンスメント型のNチャネルトランジスタ
- 5, 14 ディプレッション型のPチャネルトランジスタ
- 8, 17 ディプレッション型のNチャネルトランジスタ
- 11~13 インバータ

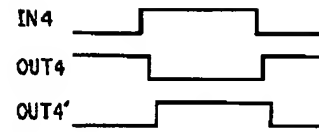
【図1】



【図2】



【図3】



【図4】

